

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

012035190 **Image available**
WPI Acc No: 1998-452100/ 199839
XRAM Acc No: C98-136865
XRPX Acc No: N98-353006

Semiconductor IC device with MOS transistor - includes first metal
silicide layer which has source area is formed on surface of first N-type
layer selectively formed on P-type silicon substrate

Patent Assignee: NEC CORP (NIDE); NIPPON ELECTRIC CO (NIDE); NIPPON
DENKI KK (NIDE)

Inventor: YAMAMOTO Y

Number of Countries: 004 Number of Patents: 004

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| JP 10189756 | A | 19980721 | JP 96347828 | A | 19961226 | 199839 B |
| US 5898206 | A | 19990427 | US 97997719 | A | 19971223 | 199924 |
| KR 98064705 | A | 19981007 | KR 9774433 | A | 19971226 | 199949 |
| TW 368686 | A | 19990901 | TW 97119527 | A | 19971222 | 200034 |

Priority Applications (No Type Date): JP 96347828 A 19961226

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|-------------|------|-----|----|---------------|--------------|
| JP 10189756 | A | | 12 | H01L-021/8234 | |
| US 5898206 | A | | | H01L-023/62 | |
| KR 98064705 | A | | | H01L-027/04 | |
| TW 368686 | A | | | H01L-021/08 | |

Abstract (Basic): JP 10189756 A

The device includes a P-type silicon semiconductor substrate on whose surface field oxide films (12B,12C) are formed between drain diffusion layer and a gate electrode. A protective element is formed on the N-type layer selectively formed on the substrate. A source electrode is connected to a metal silicide layer (11). A portion of the gate electrode is made to extend on to the field oxide film.

A drain diffusion layer (3B) and a conduction well is formed on the lower portion of the area containing the field oxide film (12B) of high resistance. A parallel arrangement of several MOS transistors which have the N-type layer and gate electrodes are formed on the upper surface the semiconductor substrate.

ADVANTAGE - Improves breakdown voltage of MOSLSIC. Offers high speed, compact semiconductor device with high reliability. Reduces number of manufacturing processes involved.

Dwg.2/19

Title Terms: SEMICONDUCTOR; IC; DEVICE; MOS; TRANSISTOR; FIRST; METAL;
SILICIDE; LAYER; SOURCE; AREA; FORMING; SURFACE; FIRST; N; TYPE; LAYER;
SELECT; FORMING; P; TYPE; SILICON; SUBSTRATE

Index Terms/Additional Words: MOSLSIC

Derwent Class: L03; U11; U13

International Patent Class (Main): H01L-021/08; H01L-021/8234; H01L-023/62;
H01L-027/04

International Patent Class (Additional): H01L-027/088

File Segment: CPI; EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

05906656 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 10-189756 A]

PUBLISHED: July 21, 1998 (19980721)
INVENTOR(s): YAMAMOTO ARIHIDE
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 08-347828 [JP 96347828]
FILED: December 26, 1996 (19961226)
INTL CLASS: [6] H01L-021/8234; H01L-027/088
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To enhance reliability by improving the electrostatic breakdown strength of a MOSLSI where a diffusion layer surface is silicided.

SOLUTION: In the input/output protection element of a MOSLSI, field oxide films (insulation regions 12B and 12C) are formed between a drain diffusion layer 3Ba or 9Ba and a gate electrode, and one portion of the gate electrode is extended onto the field oxide films 12B and 12C. Also, a well of the same conductivity type as a drain diffusion layer 3B is formed at the lower part of a region that contains the field oxide film 12B and the drain diffusion layer 3B. Since the resistance of the lower part of the field oxide film 12B increases, the breakdown voltage of the transistor is highly maintained even if a low-resistance silicide layer 11 is formed on a diffusion layer surface. Thus, local heat generation due to surging is prevented and high electrostatic breakdown strength is obtained.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189756

(43)Date of publication of application : 21.07.1998

(51)Int.Cl. H01L 21/8234
H01L 27/088

(21)Application number : 08-347828

(71)Applicant : NEC CORP

(22)Date of filing : 26.12.1996

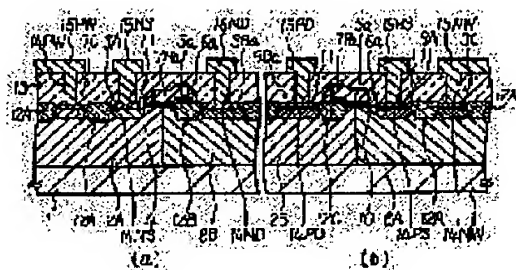
(72)Inventor : YAMAMOTO ARIHIDE

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance reliability by improving the electrostatic breakdown strength of a MOSLSI where a diffusion layer surface is silicided.

SOLUTION: In the input/output protection element of a MOSLSI, field oxide films (insulation regions 12B and 12C) are formed between a drain diffusion layer 3Ba or 9Ba and a gate electrode, and one portion of the gate electrode is extended onto the field oxide films 12B and 12C. Also, a well of the same conductivity type as a drain diffusion layer 3B is formed at the lower part of a region that contains the field oxide film 12B and the drain diffusion layer 3B. Since the resistance of the lower part of the field oxide film 12B increases, the breakdown voltage of the transistor is highly maintained even if a low-resistance silicide layer 11 is formed on a diffusion layer surface. Thus, local heat generation due to surging is prevented and high electrostatic breakdown strength is obtained.



LEGAL STATUS

[Date of request for examination] 26.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3144330

[Date of registration] 05.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189756 ✓

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶

H 0 1 L 21/8234
27/088

識別記号

F I

H 0 1 L 27/08

1 0 2 D

審査請求 有 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平8-347828

(22) 出願日 平成 8 年(1996) 12月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 山本 有秀

東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

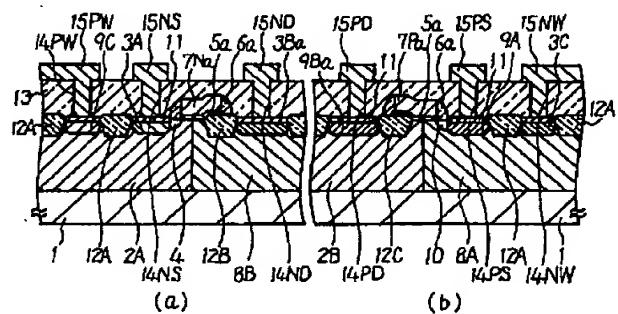
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 拡散層表面がシリサイド化された MOSLSI の静電破壊耐圧を向上させ、信頼性を高める。

【解決手段】 MOSLSI の入出力保護素子においてドレイン拡散層 3 B a または 9 B a とゲート電極の間にフィールド酸化膜 (絶縁領域 1 2 B, 1 2 C) を形成し、ゲート電極の一部をフィールド酸化膜 1 2 B, 1 2 C 上に延在させる。また、フィールド酸化膜 1 2 B とドレイン拡散層 3 B を含む領域の下部にドレイン拡散層 3 B と同電導型のウェルを形成する。フィールド酸化膜 1 2 B の下部が高抵抗になるので拡散層表面に低抵抗なシリサイド層 1 1 が形成されてもトランジスタの破壊電圧は高く維持され、サージによる局所的な発熱を防止し高い静電破壊耐圧が得られる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された複数の回路素子と、前記半導体基板上に選択的に設けられ前記各回路素子を電気的に分離するフィールド酸化膜と、一の前記回路素子に外部信号を供給する入力端子と、他の前記回路素子から外部へ信号を供給する出力端子と、一の前記回路素子と入力端子及び他の前記回路素子と出力端子との間にそれぞれ挿入されて外部サージから保護する保護素子とを備えた半導体装置において、前記保護素子が、前記半導体基板表面部の第1導電型領域の表面部に選択的に形成された第1の第2導電型拡散層及び前記第1の第2導電型拡散層の表面に形成された第1の金属シリサイド層でなるソース領域と、前記第1の金属シリサイド層に接続されるソース電極と、前記第1導電型領域の少なくとも表面部に、前記第1の第2導電型拡散層と対向して設けられこれより深い第2の第2導電型拡散層、前記第2の第2導電型拡散層の表面部にこれより高濃度に不純物を含有して形成された第3の第2導電型拡散層及び前記第3の第2導電型拡散層の表面に設けられた第2の金属シリサイド層でなるドレイン領域と、前記第2の金属シリサイド層に接続するドレイン電極と、前記第1の第2導電型拡散層と第3の第2導電型拡散層に挟まれて前記第2の第2導電型拡散層の表面から所定の深さにまで設けられた絶縁領域と、前記第1の第2導電型拡散層と絶縁領域の間の半導体基板表面をゲート絶縁膜を介して被覆するゲート電極とを有するMOSトランジスタを複数個並列配置されていることを特徴とする半導体装置。

【請求項2】 保護素子を構成する各MOSトランジスタは、ゲート電極とソース電極とが同一電源端子に接続され、ドレイン電極に過大電圧が印加されて前記ドレイン電極から第1の第2導電型拡散層への電流経路に沿った寄生抵抗を第2の第2導電型拡散を設けることによって大きくすることによって熱的な破壊電圧がドレインの耐電圧より高く設定されている請求項1記載の半導体装置。

【請求項3】 保護素子を構成するMOSトランジスタのチャンネル長が回路素子であるMOSトランジスタのうちの最小のチャンネル長の3倍より小さく設定されている請求項1又は2記載の半導体装置。

【請求項4】 第1の第2導電型拡散層の少なくとも底面に接してこれより低濃度の第4の第2導電型拡散層が設けられている請求項1、2又は3記載の半導体装置。

【請求項5】 第4の第2導電型拡散層が第1の第2導電型拡散層を囲んでいる請求項4記載の半導体装置。

【請求項6】 第2の第2導電型拡散層が第2導電型ウェルと同時に形成されたものである請求項1乃至5記載の半導体装置。

【請求項7】 第4の第2導電型拡散層が第2導電型ウェルと同時に形成されたものである請求項4又は5記載

の半導体装置。

【請求項8】 保護素子を構成するMOSトランジスタのドレイン電極に一端が接続された抵抗素子と、前記抵抗素子の他端と前記MOSトランジスタのソース電極との間に挿入され前記MOSトランジスタの破壊電圧より小さい耐電圧を有するクランプ用のダイオード素子とを有している請求項2記載の半導体装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 本発明は半導体装置に関し、特に入出力保護回路を内蔵するMOSトランジスタを有する半導体集積回路装置に関する。

【0002】

【従来の技術】 例えばMOSLSI等の半導体集積回路装置ではその入出力端子（入力端子又は出力端子の略称）に加わる静電気などのサージにより内部の回路素子が破壊されるのを防ぐため、入出力端子と内部回路の間に入出力保護回路（入力保護回路又は出力保護回路の略称）が設けられている。一般に入力保護回路及び出力保護回路はそれぞれ図15(a)、(b)に示されているように電源電位VDDと接地電位GNDの間にNチャネルトランジスタN₁とPチャネルトランジスタP₁が直列に接続されたCMOSにより構成される。

【0003】 また、近年の半導体集積回路装置を構成するMOSトランジスタにおいては高集積化と高速化の実現のためゲート電極はハーフミクロン以下に微細化され、ゲート絶縁膜は10～20nmまたはそれ以下に薄膜化されている。

【0004】 さらに、ソース、ドレインの拡散層あるいはゲート電極を低抵抗化するため金属シリサイド技術が用いられている。金属シリサイド技術により拡散層の場合その層抵抗は100～200Ω/□から5～10Ω/□へと約20分の1になっている。

【0005】 この金属シリサイド技術を用いたMOSトランジスタを用いて図15に示した入出力保護回路を半導体基板上に具体化したものの平面模式図を図16に、図16のA-A線断面相当図及びB-B線断面相当図をそれぞれ図17(a)、(b)に示す。P型シリコン半導体基板1の表面部にPウェル2Aが設けられ、Pウェル2A部にN⁺型拡散層3A、3B、N⁻型拡散層4、ゲート絶縁膜5、側壁スペーサ6、多結晶シリコン層よりなるゲート電極7NでなるNチャネルトランジスタが形成されている。PチャネルトランジスタはNウェル8A、P⁺型拡散層9A、9B、P⁻型拡散層10、ゲート絶縁膜5、側壁スペーサ6、ゲート電極7Pにより構成されている。また、GND端子17をPウェル2Aに、VDD端子19をNウェル8Aにそれぞれ接続するためP⁺拡散層9C、N⁺拡散層3Cが形成されている。ここで、拡散層3A、3B、3Cおよび9A、9B、9Cの表面には金属シリサイド化により例えばチタ

ンシリサイド層11が形成されている。12AはNチャネルトランジスタとPチャネルトランジスタおよびウェルの接地部を分離するためのフィールド酸化膜である。

13は層間絶縁膜であり層間絶縁膜13には拡散層3A、3B、3C、9A、9B及び9C上にコンタクトホール14NS、14ND、14NW、14PS、14PD、14PWが形成され、第1層目の金属電極15NS、15ND、15NW、15PS、15PD、15PWが形成されている。同様にゲート電極7N、7Pは図示しない層間絶縁膜を選択的に被覆する第2層目の金属配線30N、30Pに接続される。

【0006】4個のNチャネルトランジスタのソース領域であるN⁺型拡散層3Aはそれぞれ金属電極15NSに接続され、Pウェル2Aのコンタクト領域であるP⁺型拡散層9Cに接続される金属電極15PWに連結され更にGND端子17へ接続される。Nチャネルトランジスタのドレイン領域であるN⁺型拡散層3Bは同様に金属電極15NDにより共通接続されて入力端子IN（図15(a)）又は出力端子OUT（図15(b)）のいずれか一方に接続される。Nチャネルトランジスタのゲート電極7Nは金属電極30Nにより共通接続されてGND端子17（図15(a)）又は図示しない内部素子（図15(b)）のいずれか一方に接続される。

【0007】4個のPチャネルトランジスタのソース領域であるP⁺型拡散層9Aはそれぞれ金属電極15PSに接続され、Nウェル8Aのコンタクト領域であるN⁺型拡散層3Cに接続される金属電極15NWに連結され更にVDD端子19へ接続される。Pチャネルトランジスタのドレイン領域であるP⁺型拡散層9Bは同様に金属電極15PDにより共通接続されて入力端子IN（図15(a)）又は出力端子OUT（図15(b)）のいずれか一方に接続される。Pチャネルトランジスタのゲート電極7Pは金属電極30Pにより共通接続されてVDD端子19（図15(a)）又は図示しない内部素子（図15(b)）のいずれか一方に接続される。

【0008】次に外部サージが入出力端子18に加わった場合の動作を説明する。外部サージによる静電破壊耐圧の強度テストは試験装置を出力端子18に接続し、GND端子17およびVDD端子19のそれぞれに対して正または負のサージを印加して行われる。まずサージがGND端子17に対し負の電圧で印加された場合はN⁺型拡散層3BとPウェル2A間のPN接合に対し順方向の電圧であるので順方向のPN接合がオンした後、サージはGND端子17からP⁺型拡散層9C、Pウェル2A、N⁺型拡散層3Bを通り入出力端子18へ流れる。次にサージがGND端子17に対し正の電圧で印加された場合はNチャネルトランジスタのソースに対してドレインに正の電圧を印加した場合であるので、まずNチャネルトランジスタのドレイン領域（3B）とゲート電極7N間の電位差によりドレイン側のゲート端部直下即ち

N⁺型拡散層4の部分でブレイクダウンが生じる。ブレイクダウン後電流はドレイン領域（3B）からPウェル2Aへ流れるが、その電流によりPウェル2Aが正の電位に上がり、その結果Pウェル2Aとソース領域（3A）のPN接合が順方向電圧になりオンするので電流はドレイン領域（3B）からソース領域（3A）へ流れる。即ち、ドレイン領域（3B）をコレクタ、Pウェル2Aをベース、ソース領域3AをエミッタとするNPN寄生バイポーラトランジスタがオンすることによりサージは入出力端子18からN⁺型拡散層3B、Pウェル2A、N⁺型拡散層3Aを通りGND端子17流れる。次にVDD端子19に対し正の電圧で印加された場合はP⁺型拡散層9BとNウェル8A間のPN接合が順方向電圧によりオンするためサージは入出力端子18からP⁺型拡散層9B、Nウェル8A、N⁺型拡散層3Cを通りVDD端子19へ流れる。VDD端子19に対し負の電圧で印加された場合は前述のNチャネルトランジスタと同様の現象がPチャネルトランジスタで起こりドレイン領域（9B）、Nウェル8A、ソース領域（9A）でなるPNP寄生バイポーラトランジスタがオンすることによりサージはVDD端子19からP⁺型拡散層9A、Nウェル8A、P⁺型拡散層9Bを通り入出力端子18へ流れる。

【0009】以上説明したように入出力端子18に外部サージが印加された場合、入出力端子18とGND端子17またはVDD端子19の間に電流が流れることによりサージが放電され内部の回路素子が保護されるのである。

【0010】また、外部サージがGND端子17に対し正の電圧またはVDD端子19に対し負の電圧で印加された場合は、NPN又はPNP寄生バイポーラトランジスタがオンすることによりトランジスタのソース・ドレイン間に流れるのであるが、その際ソース・ドレイン間の抵抗により発熱が起きる。この発熱による発熱部位の溶融・破壊を防ぐため、即ちオン電流の許容量を大きくするため、一般に入出力保護回路のトランジスタはゲート幅を数100 μ mと大きくしている。また、このゲート幅の大きなトランジスタは実際には、図16に示すようにその平面上のレイアウトはゲート幅29を同一に設計された複数のトランジスタを並列配置して構成される。

【0011】

【発明が解決しようとする課題】従来の技術において外部サージがGND端子17に対し正の電圧またはVDD端子19に対し負の電圧で印加された場合は、寄生バイポーラトランジスタがオンすることによりトランジスタのソース・ドレイン間に流れることを説明した。ここでサージがGND端子17に対し正の電圧で印加された場合に注目するとNチャネルトランジスタのソースに対するドレインの電流電圧特性は図18に示されるようにな

る。また、図18で示される電流の流れる経路を図19に示す。図18においてサージによりドレイン電圧がトランジスタのブレイクダウン電圧 V_B になるとドレイン側のゲート端部直下でブレイクダウンが生じる。その後図19の電流経路Aでドレイン領域からPウェルに向かって電流が流れ、 V_1 、 I_1 に達したところでPウェルソース領域間のPN接合がオンし、電流は図19の電流経路Bでドレイン領域→Pウェル→ソース領域へ流れ電圧はスナップバック電圧 V_S へスナップバックする。スナップバック後は入出力端子18とドレイン領域(3B)の間の金属配線抵抗、ドレイン領域(3B)の拡散層抵抗、ドレイン領域(3B)とソース領域(3A)の間のPウェル抵抗、ソース領域(3A)の拡散層抵抗およびソース領域(3A)とGND端子17の間の金属配線抵抗の合計を傾きとして電圧、電流が増加する。 V_2 、 I_2 はさらに電圧、電流が増加した場合に発熱によりトランジスタが破壊される時の電圧、電流である。

【0012】前述のスナップバック後の電圧、電流の増加に寄与する抵抗のうち金属配線抵抗は数 Ω と低抵抗であり、またバイポーラトランジスタがオンした状態でのドレイン領域(3B)とソース領域(3A)の間のPウェル抵抗もゲート幅 $100\mu m$ 当たり数 Ω 程度である。ドレイン領域(3B)、ソース領域(3A)の拡散層抵抗については表面チタンシリサイド層が無ければ数 100Ω と高抵抗であるがチタンシリサイド化によりやはり数 Ω 程度になっている。従って、抵抗は全体でも数 10Ω 程度であるのでスナップバック後トランジスタが破壊されるまでの電圧増加は小さく、結果として $V_S < V_2 < V_B < V_1$ の関係になる。実際に評価した例によると V_B が $15V$ 、 V_1 が $15.5V$ 、 V_S が $10V$ のトランジスタの場合 V_2 は $12V$ であった。

【0013】ここで第1の問題が $V_2 < V_B$ であることにより生ずる。つまり、図16に示すように複数に分割されたトランジスタのうちサージの流れるタイミングのズレによる1個だけがまずブレイクダウンした場合、ドレイン電圧はそのトランジスタの V_S へスナップバックした後最大 V_2 までしか増加しないので残りのトランジスタのドレイン電圧はブレイクダウン電圧に達することなくブレイクダウンは起こらない。その結果、サージは始めにブレイクダウンした1個のトランジスタのみを流れるため、サージがその1個のトランジスタの静電破壊耐圧を越えているとそこで著しい発熱による破壊が生じ、入出力保護回路としての機能を失うのである。

【0014】さらに第2の問題は電流 I_1 により発生するホットキャリアによりトランジスタの寿命が低下することである。これはトランジスタのブレイクダウンがドレイン領域(3B)側のゲート端部直下で発生し、その後流れる電流がゲート絶縁膜近傍を通る際にホットキャリアを発生し、それがゲート絶縁膜中に捕獲されることによりトランジスタをオン電流の低下さらにはゲート絶

縁膜の絶縁破壊を引き起こす現象である。この現象は図18において電圧が V_B から V_1 へ増加する間に流れる電流に起因し V_1 の時電流は I_1 となり最大となる。

【0015】以上Nチャネルトランジスタに着目して説明したがPチャネルトランジスタの場合も同様の現象により第1、第2の問題と同様のことが起こる。

【0016】本発明の目的はMOSトランジスタが微細化され金属シリサイド化された拡散層を有する半導体装置においても高度の保護機能を発揮する入出力保護回路を提供することにある。

【0017】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上に形成された複数の回路素子と、前記半導体基板上に選択的に設けられ前記各回路素子を電気的に分離するフィールド酸化膜と、一の前記回路素子に外部信号を供給する入力端子と、他の前記回路素子から外部へ信号を供給する出力端子と、一の前記回路素子と入力端子及び他の前記回路素子と出力端子との間にそれぞれ挿入されて外部サージから保護する保護素子とを備えた半導体装置において、前記保護素子が、前記半導体基板表面部の第1導電型領域の表面部に選択的に形成された第1の第2導電型拡散層及び前記第1の第2導電型拡散層の表面に形成された第1の金属シリサイド層でなるソース領域と、前記第1の金属シリサイド層に接続されるソース電極と、前記第1導電型領域の少なくとも表面部に、前記第1の第2導電型拡散層と対向して設けられこれより深い第2の第2導電型拡散層、前記第2の第2導電型拡散層の表面部にこれより高濃度に不純物を含有して形成された第3の第2導電型拡散層及び前記第3の第2導電型拡散層の表面に設けられた第2の金属シリサイド層でなるドレイン領域と、前記第2の金属シリサイド層に接続するドレイン電極と、前記第1の第2導電型拡散層と第3の第2導電型拡散層に挟まれて前記第2の第2導電型拡散層の表面から所定の深さにまで設けられた絶縁領域と、前記第1の第2導電型拡散層と絶縁領域の間の半導体基板表面をゲート絶縁膜を介して被覆するゲート電極とを有するMOSトランジスタを複数個並列配置されてなるというものである。

【0018】ここで、保護素子を構成する各MOSトランジスタは、ゲート電極とソース電極とが同一電源端子に接続され、ドレイン電極に過大電圧が印加されて前記ドレイン電極から第1の第2導電型拡散層への電流経路に沿った寄生抵抗を第2の第2導電型拡散を設けることによって大きくすることによって熱的な破壊電圧がドレインの耐電圧より高く設定されているようにすることができる。

【0019】又、保護素子を構成するMOSトランジスタのチャンネル長が回路素子であるMOSトランジスタのうちの最小のチャンネル長の3倍より小さく設定されているようにすることができる。

【0020】更に、第1の第2導電型拡散層の少なくとも底面に接してこれより低濃度の第4の第2導電型拡散層が設けられているようにすることができる。あるいは、第4の第2導電型拡散層が第1の第2導電型拡散層を囲んでいるようにすることができる。

【0021】更に又、第2の第2導電型拡散層が第2導電型ウェルと同時に形成されたものとしてすることができる。同様に、第4の第2導電型拡散層が第2導電型ウェルと同時に形成されたものとしてすることができる。

【0022】以上において、保護素子を構成するMOSトランジスタのドレイン電極に一端が接続された抵抗素子と、前記抵抗素子の他端と前記MOSトランジスタのソース電極との間に挿入され前記MOSトランジスタの破壊電圧より小さい耐電圧を有するクランプ用のダイオード素子とを設けることができる。

【0023】第2の金属シリサイド層で低抵抗化された第3の第2導電型拡散層を第2の第2導電型拡散層の表面部に設け更に第2の第2導電型拡散層の表面部に絶縁領域を設けてあるので、保護素子がブレイクダウンしたときの電流経路に沿った抵抗を大きくでき、熱破壊を起

【0024】

【発明の実施の形態】図1は本発明の第1の実施の形態における入出力保護回路を示す平面図、図2(a)、

(b)はそれぞれ図1のA-A線断面図及びB-B線断面図である。図1では2個のトランジスタを並列配置してあるが、実際には図16と同様に4個あるいはそれ以上のトランジスタを並列配置する。

【0025】詳述すると図1、2は、P型シリコン半導体基板1上に形成された複数の図示しない回路素子と、P型シリコン半導体基板1上に選択的に設けられ前記各回路素子を電氣的に分離するフィールド酸化膜12Aと、一の前記回路素子に外部信号を供給する入力端子と、他の前記回路素子から外部へ信号を供給する出力端子と、一の前記回路素子と入力端子及び他の前記回路素子と出力端子との間にそれぞれ挿入されて外部サージから保護する保護素子とを備えた半導体装置の保護素子を示している。この保護素子で構成される入出力保護回路は、従来例と同様に図15(a)又は(b)で示される。

【0026】Pチャネルトランジスタ部はP型シリコン半導体基板1表面部のN型領域(Nウェル8A)の表面部に選択的に形成された第1のP型拡散層(P⁺型拡散層9A及びP⁻型拡散層10)及びP⁺型拡散層9Aの表面にこれと自己整合して形成された第1の金属シリサイド層(チタンシリサイド層11)でなるソース領域と、この第1の金属シリサイド層に接続されるソース電極(金属電極15PS)と、Nウェル8Aとほぼ同じ深さで、第1のP型拡散層(9A、10)と対向して設けられこれより深い第2のP型拡散層(Pウェル2B)、

Pウェル2Bの表面部にこれより高濃度に不純物を含有して形成された第3のP型拡散層(P⁺型拡散層9Ba)及びP⁺型拡散層9Baの表面にこれと自己整合して設けられた第2の金属シリサイド層(チタンシリサイド層11)でなるドレイン領域と、この第2の金属シリサイド層に接続するドレイン電極(金属電極15PD)、第1のP型拡散層(9A、10)とP⁺型拡散層9Baに挟まれてPウェル2Bの表面から所定の深さにまで設けられた絶縁領域12Cと、第1のP型拡散層(9A、10)、絶縁領域12Cの間のシリコン半導体基板1表面をゲート絶縁膜5a(厚さ10nmの酸化シリコン膜)を介して被覆するゲート電極7Paとを有するMOSトランジスタ(Pチャネルトランジスタ)を複数個配列配置されてなるというものである。

【0027】なお、図1には便宜上側壁スペーサ6aは図示せず、N⁻型拡散層4及びP⁻型拡散層10はそれぞれN⁺型拡散層3A及びP⁺型拡散層9Aに合併したN型拡散層及びP型拡散層として示してある。

【0028】この保護素子は、Nチャネルトランジスタ部とPチャネルトランジスタ部とを有しているが、前者についていうと、P型シリコン半導体基板1表面部のP型領域(Pウェル2A)の表面部に選択的に形成された第1のN型拡散層(N⁺型拡散層3A及びN⁻型拡散層4)及びN⁺型拡散層3Aの表面に形成された第1の金属シリサイド層(チタンシリサイド層11)でなるソース領域と、この第1の金属シリサイド層に接続されるソース電極(金属電極15NS)と、Pウェル2Aとほぼ同じ深さで、第1のN型拡散層(3A、4)と対向して設けられこれより深い第2のN型拡散層(Nウェル8B)、Nウェル8Bの表面部にこれより高濃度に不純物が含有して形成された第3のN型拡散層(N⁺型拡散層3Ba)及びN⁺型拡散層3Baの表面に設けられた第2の金属シリサイド層(チタンシリサイド層11)でなるドレイン領域と、この第2の金属シリサイド層に接続するドレイン電極(金属電極15ND)と、第1のN型拡散層(3A、4)とN⁺型拡散層3Baに挟まれてNウェル8Bの表面から所定の深さにまで設けられた絶縁領域12Bと、第1のN型拡散層(3A、4)と絶縁領域12Bの間のシリコン半導体基板1表面をゲート絶縁膜5aを介して被覆するゲート電極7Naとを有するMOSトランジスタ(Nチャネルトランジスタ)を複数個並列配置されてなるというものである。金属電極15NS、15ND、15NW、15PS、15PD、15PWは層間絶縁膜13に設けられたコンタクトホール14NS、14ND、14NW、14PS、14PD、14PWを介して拡散層3A、3Ba、3C、9A、9Ba及び9Cに接続される。

【0029】同様にゲート電極7Na、7Paは図示しない層間絶縁膜を選択的に被覆する第2層目の金属配線30N、30Pにそれぞれコンタクトホール14GN及

び14GPを介して接続される。複数のNチャネルトランジスタのソース領域のN⁺型拡散層3Aはそれぞれ金属電極15NSに接続され、Pウェル2Aのコンタクト領域であるP⁺型拡散層9Cに接続される金属電極15PWに連結され更にGND端子17へ接続される。Nチャネルトランジスタのドレイン領域のN⁺型拡散層3Baは同様に金属電極15NDに接続されて入力端子IN(図15(a))又は出力端子OUT(図15

(b))のいずれか一方に接続される。Nチャネルトランジスタのゲート電極7Naは金属電極30Nにより共通接続されてGND端子17(図15(a))又は図示しない内部素子(図15(b))のいずれか一方に接続される。

【0030】複数のPチャネルトランジスタのソース領域のP⁺型拡散層9Aはそれぞれ金属電極15PSに接続され、Nウェル8Aのコンタクト領域であるN⁺型拡散層3Cに接続される金属電極15NWに連結され更にVDD端子19へ接続される。Pチャネルトランジスタのドレイン領域のP⁺型拡散層9Bは同様に金属電極15PDに接続されて入力端子IN(図15(a))又は出力端子OUT(図15(b))のいずれか一方に接続される。Pチャネルトランジスタのゲート電極7Pは金属電極30Pにより共通接続されてVDD端子19(図15(a))又は図示しない内部素子(図15(b))のいずれか一方に接続される。

【0031】本実施の形態の特色は、まずNチャネルトランジスタのドレイン領域のN⁺型拡散層3Baとゲート電極7Naの間およびPチャネルトランジスタのドレイン領域のP⁺型拡散層9Baとゲート電極7Paの間に厚さ500nmのフィールド酸化膜12Aと同時に形成される絶縁領域12B及び12Cがそれぞれ設けられており、かつゲート電極7Na、7Paの一部がその絶縁領域12B、12Cの上までそれぞれ延在していることである。ここで、トランジスタのチャネル領域は絶縁領域12B、12C上にそれぞれ延在した部分を除くゲート電極7Na、7Paの下部にあるPウェル2A及びNウェル8Aであり、その長さがチャネル長(図1にはNチャネルトランジスタのチャネル長16を示す)である。ゲート電極7Na、7Paの一部が絶縁領域12B、12Cの上まで延在しているのは製造上の位置ズレにより各ゲート電極と絶縁領域とが離れるのを避けるためである。さらにN⁺型拡散層3Baおよび絶縁領域12Bの下部にNウェル8Bを形成し、かつNウェル8Bをチャネル領域側まで拡張して形成することによりNチャネルトランジスタがオフセットになるのを防いでいる。同様にPウェル2BをP⁺拡散層9Baおよび絶縁領域12Cの下部とチャネル領域側まで拡張することによりPチャネルトランジスタがオフセットになるのを防いでいる。

【0032】次にこの実施の形態の入出力保護回路に外

部サージが印加された場合の動作について説明する。まず入出力端子18(金属配線15Dに接続)にサージがGND端子17に対し負の電圧で印加された場合はN⁺型拡散層3BaとPウェル2A間のPN接合に対し順方向の電圧であるので順方向のPN接合がオンした後、サージはGND端子17からP⁺拡散層9C、Pウェル2A、Nウェル8B、N⁺型拡散層3Baを通り入出力端子18へ流れる。次にサージがGND端子17対し正の電圧で印加された場合はNチャネルトランジスタが動作する。

【0033】このNチャネルトランジスタの動作をソースに対するドレインの電流電圧特性を示す図3および電流の経路を示す図4を参照して説明する。サージによりドレイン電圧が増加するとN⁺型拡散層3BaおよびNウェル8Bの電圧が増加し、ドレイン電圧がVBaになるとNウェル8Bとゲート電極7Naの電位差によりゲート電極7Na直下のPウェル2AとNウェル8BのPN接合部でブレイクダウンが生じ、図4の電流経路A1でドレイン領域(3Ba)からPウェル2Aへ電流が流れる。その後図3のV1a、I1aに達するとPウェル2Aとソース領域(3A)の間のPN接合がオンし電流は図4の電流経路B1でドレイン領域(3Ba)→Nウェル8B→Pウェル2A→ソース領域(3A)へ流れ電圧はスナップバック電圧Vsaへスナップバックする。スナップバック後は入出力端子18からGND端子17までの電流経路の抵抗を傾きとして電圧、電流が増加するが、その電流経路において絶縁領域12Bの下部のNウェル抵抗20は数100Ωと高抵抗であるので電流増加に伴う電圧の増加も大きく、結果として図3に示されるようにトランジスタが破壊される電圧V2aはV2a>VBaとなる。実際に評価した例によるとVBaが18V、V1aが19V、Vsaが14Vのトランジスタの場合V2aは23Vであった。ただし、チャネル長16は0.8μm(図16、18の従来例でも同じとする)、ゲート電極長Lg(ゲート電極7Naの幅)は1.6μm、絶縁領域12Bの幅は0.6μm、Pウェル2Aと絶縁領域12Bの距離は0.6μmとする。

【0034】従って、複数に分割されたトランジスタのうちサージの流れるタイミングのズレにより1個だけがまずブレイクダウンした場合でも、ドレイン電圧はそのトランジスタのVsaへスナップバックした後V2aに達するより前にVBaまで増加する。設計上同一の残りのトランジスタも順次ブレイクダウンを起こす。その結果、サージは全てのトランジスタのオン電流として流れるためトランジスタの静電破壊耐圧を越えることなく入出力保護回路としての機能を維持することができるのである。

【0035】複数のトランジスタを並列接続して入出力保護回路を構成する場合、全てのトランジスタが保護機能を発揮しうるためには、各トランジスタのブレイクダ

10

20

30

40

50

ウン電圧のうちの最大値が、各トランジスタの熱破壊電圧のうちの最小値より少なければよい。サージによるジュール熱 Q は電流経路に沿った抵抗 R と電流 I の2乗の積 RI^2 であるが、 RI が同一の条件では Q は R に反比例する。大雑把に言えば、 R が大きいほど熱破壊電圧は高くできる。従来例に比較すると、電流経路 $B1$ は B より長くかつ迂回しているのでジュール熱も空間的に分散されて発生し、抵抗 R が大きいことと相俟って熱破壊電圧は高くなる。従って前述した条件の実現は容易である。

【0036】なお、保護トランジスタのチャネル長16は内部回路素子(MOSTランジスタ)の最小のチャネル長の3倍未満に設定するのがよい。3倍のものは高耐圧素子として内部回路に使用されている場合もあるが、保護素子として高耐圧素子を使用するのは好ましとはいえないからである。更にいえば、第1にチャネル長が短いほど素子サイズが小さくなり、保護素子全体の面積を小さくできる。第2のチャネル長が短いほどスナップバック電圧 V_S が小さくなるので、サージを放電している間に内部素子にかかる電圧も小さくなり、内部素子のゲート絶縁膜が高電圧により破壊されるのを抑制できる。第3にチャネル長が短いほど入出力保護回路が入出力バッファを兼ねる場合(図15(b))は出力バッファでもある)のその駆動能力、即ちドレインおよびゲートに電源電圧を印加したときのオン電流を大きくすることができる。

【0037】入出力端子18にサージがVDD端子19に対し正の電圧で印加された場合は P^+ 型拡散層9BaとNウェル8A間のPN整合に対し方向の電圧であるので順方向のPN接合がオンした後、サージは入出力端子18から P^+ 型拡散層9Ba、Pウェル2B、Nウェル8A、 N^+ 型拡散層3Cを通りVDD端子19へ流れる。次にサージがVDD端子19に対し負の電圧で印加された場合はPチャネルトランジスタが動作する。PチャネルトランジスタについてはNチャネルトランジスタの電流、電圧を正負逆にすることで同様な効果を得ることができるので説明は省略する。

【0038】図5は、本発明の第2の実施の形態における入出力保護回路の平面図、図6(a)、(b)は図5のA-A線断面図、B-B線断面図である。

【0039】本実施の形態は第1の実施の形態においてNチャネルトランジスタのソース領域である N^+ 型拡散層3Aの下部にこれを接触して N^- 型拡散層21を形成し、またPチャネルトランジスタのソース領域である P^+ 型拡散層9Aの下部にこれと接触して P^- 型拡散層22を形成したものである。本実施の形態に外部サージがGND端子17に対し負の電圧で印加された場合は前述の第1の実施の形態の場合と同じである。サージがGND端子17に対し正の電圧で印加された場合はNチャネルトランジスタが動作する。このNチャネルトランジスタ

の動作をソースに対するドレインの電流電圧特性を示す図7および電流の経路を示す図8を参照して説明する。サージによりドレイン電圧 V_B に増加するとゲート電極7Na直下のPウェル2AとNウェル8BのPN接合部でブレイクダウンが生じ、電流がドレイン領域(3Ba)からPウェル2Aへ電流が流れるが、その電流経路は図8の電流経路A2に示されるように N^- 型拡散層21を避けて通るため N^- 型拡散層21が無い場合の電流経路A1に比べ深い領域へ分散する。Pウェル2A内の深い領域でP型の不純物濃度が小さくなる分布であれば電流経路A2を通る際の電圧降下は電流経路A1の場合より大きくなり、Pウェル2Aと N^+ 型拡散層3Baの間またはPウェル2Aと N^- 型拡散層21の間にかかる順方向電圧が大きくなる。また、 N^+ 型拡散層3Baに比べ N^- 型拡散層21の方が不純物濃度が小さいのでPN接合がオンするための順方向電圧はPウェル2Aと N^+ 型拡散層3Ba間よりPウェル2Aと N^- 型拡散層21間の方が小さい。従って、図7で示されるようにブレイクダウン後スナップバックするまでに増加する電圧 $V1b$ は N^- 型拡散層21がない場合の $V1a$ に比べ小さくなる。つまり、ブレイクダウン後に流れる電流の最大値を $I1a$ から $I1b$ へ低減することによりホットキャリアの発生を抑制しトランジスタの信頼性をさらに向上させることができるのである。

【0040】入出力端子18にサージがVDD端子19に対し正または負の電圧で印加された場合についても同様の効果を得ることができる。

【0041】図9は、本発明の第3の実施の形態における入出力保護回路の平面図、図10(a)、(b)は図9のA-A線断面図、B-B線断面図である。本実施の形態は第2の実施の形態においてNチャネルトランジスタのソース領域である N^+ 型拡散層3Aの底面及び側面に接して N^- 型拡散層21aを設けてゲート電極7Na下部まで拡張して形成し、またPチャネルトランジスタのソース領域である P^+ 型拡散層9Aの底面及び側面に接して P^- 型拡散層22aを設けてゲート電極7Pa下部まで拡張して形成したものである。外部サージが印加された場合の動作については第2の実施の形態の場合と同様であるが N^- 型拡散層21aまたは P^- 型拡散層22aが各トランジスタのゲート電極下部まで拡張されたことにより各トランジスタのブレイクダウン後に順方向PN接合がオンし易くなるのでスナップバックするまでの電圧増加がさらに小さくなる。従って、Nウェル8Bと N^- 型拡散層21a間の間隔およびPウェル2Bと P^- 型拡散層22a間の間隔を順方向PN接合がオンする前にパンチスルーしない程度にまで小さくすることでブレイクダウン後スナップバックするまでに流れる電流およびホットキャリアの発生を最小限に抑制してトランジスタの信頼性をより向上させることができる。

【0042】以上、NチャネルトランジスタとPチャネ

ルトランジスタの双方を設けた場合について説明したが、必要に応じていずれか一方のみを設けるようにすることも可能である。

【0043】次に、本発明の実施例の製造方法について図面を参照して説明する。本発明の第1の実施の形態ではNウェル8Aと8Bは同時に形成され、またPウェル2Aと2Bも同時に形成される。また、第2および第3の実施の形態においてはN⁻型拡散層21、21aおよびP⁻型拡散層22、22aは、所定のホトレジストマスクの形成とイオン注入の工程を追加して形成してもよいが、N⁻型拡散層21、21aをNウェル8A、8Bと同時に形成し、またP⁻型拡散層22、22aをPウェル2A、2Bと同時に形成すれば製造工程を増やす必要がない。その場合、第1、第2および第3の実施の形態の製造方法はN⁻型拡散層21、21a、P⁻型拡散層22、22aの形成に関する事項以外同じであるのでここでは第3の実施の形態の製造方法について詳述する。

【0044】まず、図11(a)、(b)に示すように、P型シリコン半導体基板1の表面を選択的に酸化して膜厚500nmの酸化シリコン膜をフィールド酸化膜12A及び絶縁領域12B、12Cとして形成した後、所定の場所をホトレジスト膜23でマスクした状態でN型不純物24としてリンをイオン注入し深さ約2μmのNウェル8A、8BおよびN⁻型拡散層21aを形成する。次に図12(a)、(b)に示すように所定の場所をホトレジスト膜25でマスクした状態でP型不純物26としてボロンをイオン注入し深さ約2ミクロンのPウェル(2A、2B)およびP⁻型拡散層22aを形成する。次に、図13(a)、(b)に示すように、シリコン半導体基板1の表面を酸化して10nmのゲート絶縁膜5aを形成した後不純物としてリンを含む多結晶シリコン膜をCVD法によりゲート絶縁膜5a表面に成長し所定の場所にパタンニングすることによりゲート電極7Na、7Paを形成する。次にN⁻型拡散層4、P型拡散層10を形成し、ゲート電極7Na、7Paに側壁スペーサ6aを形成したのち選択的にイオン注入することによりN⁺型拡散層3A、3B、3Cと、P⁺型拡散層9A、9B、9Cを形成する。次に図9、10(a)、(b)に示すようにN⁺型拡散層3A、3B、3CとP⁺型拡散層9A、9B、9Cの表面にTi膜を自己整合的に反応させたチタンシリサイド層11を形成した後、層間絶縁膜13として約1μmの膜厚の酸化シリコン膜を形成する。層間絶縁膜13の所定の場合にコンタクトホール14ND等を開孔した後、金属電極15NS等を形成し、更に図示しない層間絶縁膜およびコンタクトホール14GN、14GPを形成し、第2層目の金属電極30N等を形成し入出力保護回路および内部回路を含む半導体装置が形成される。

【0045】以上の説明において、第2の第2導電型拡

散層がウェルの場合について説明したが、これは第1、第3の第2導電型拡散層より不純物濃度が小さく適当な深さをもっていけばよいのでそのための特別の工程を追加してもよい。

【0046】以上、本発明の第1、第2、第3の実施の形態とその製造方法について説明したがさらに本発明の第4の実施の形態について説明する。図14が第4の実施の形態を示す入出力保護回路の回路図である。P₂、N₂の両方または一方が本発明の第1または第2または第3の実施の形態で示された構造のMOSトランジスタであり、抵抗27は例えば多結晶シリコン膜よりなる抵抗素子であり、ダイオード28は例えば拡散層とウェル間で形成されるPN接合よりなる電圧クランプ素子である。次にこの入出力保護回路の動作について説明する。第1、第2、第3の実施の形態で示されるトランジスタ構造では例えば図4に示されるようにドレインにNウェルの寄生抵抗20があるので図3に示される特性でV_{2a}>V_{Ba}となるが、入力端子の様に入力保護素子のドレインが内部素子のゲート電極に接続されている場合に最大V_{2a}の電圧が内部素子のゲート電極にかかる可能性があり、V_{2a}が特に高くなると内部素子のゲート絶縁破壊が生ずる可能性がある。そこでV_{2a}より低い電圧でブレイクダウンするダイオード28を入力保護素子と内部素子の間に形成し、かつ入力保護素子とダイオード28の間に抵抗27を設けることにより、内部素子にかかる電圧をV_{2a}の値に関係なくダイオード28のブレイクダウン電圧でクランプすることができる。この時、入力保護素子のドレイン電圧とダイオード28の耐圧の差により電流が抵抗27を流れる。

【0047】

【発明の効果】本発明の効果は、金属シリサイド化により低抵抗化された拡散層をソース・ドレイン領域に有するMOSトランジスタと複数個並列接続して入出力保護装置を構成しても、入出力端子に印加された外部サージにより一部のMOSトランジスタが熱破壊をおこして残りのものが有効に機能しなくなるのを防ぐことができ、微細化、高速化された半導体装置の信頼性を確保できることである。その理由は、MOSトランジスタのドレイン領域として低濃度の第2の第2導電型拡散層を追加し更にドレイン電極とゲート電極の間に絶縁領域を設けることにより、ドレイン電極からソース領域へ流れる電流経路に沿った寄生抵抗を大きくすることによりMOSトランジスタの静電破壊電圧をブレイクダウン電圧より高くできるからである。

【0048】そうして、この入出力保護回路は従来の半導体装置の製造工程を増加させることなく形成できる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の入出力保護回路の第1の実施の形態を示す平面図である。

【図2】図1のA-A線断面図(図2(a))及びB-

B線断面図(図2(b))である。

【図3】図1, 2に示されるトランジスタの電流電圧特性を示す図である。

【図4】図1, 2に示されるトランジスタのブレイクダウン時の電流経路を示す図である。

【図5】本発明に係る半導体装置の入出力保護回路の第2の実施の形態を示す平面図である。

【図6】図5のA-A線断面図(図6(a))及びB-B線断面図(図6(b))である。

【図7】図5, 6に示されるトランジスタの電流電圧特性を示す図である。

【図8】図5, 6に示されるトランジスタのブレイクダウン時の電流経路を示す図である。

【図9】本発明に係る半導体装置の入出力保護回路の第3の実施の形態を示す平面図である。

【図10】図9のA-A線断面図(図10(a))及びB-B線断面図(図10(b))である。

【図11】第3の実施の形態の製造方法について説明するための断面図で、図11(a), (b)はそれぞれNチャネルトランジスタ部、Pチャネルトランジスタ部を示す。

【図12】図11に続いて示す断面図で、図12

(a), (b)はそれぞれNチャネルトランジスタ部、Pチャネルトランジスタ部を示す。

【図13】図13に続いて示す断面図で図13(a), (b)はそれぞれNチャネルトランジスタ部、Pチャネルトランジスタ部を示す。

【図14】本発明に係る半導体装置の入出力保護回路の第4の実施の形態を示す回路図である。

【図15】入出力保護回路を示す回路図で、図15(a)は入力保護回路、図15(b)は出力保護回路を示す図である。

【図16】入出力保護回路のレイアウトを示す平面模式図である。

【図17】従来の半導体装置の入出力保護回路を示す図16のA-A線断面相当図(図17(a))及びB-B線断面相当図(図17(b))である。

【図18】図16, 17に示されるトランジスタの電流

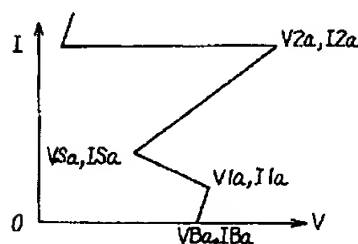
電圧特性を示す図である。

【図19】図16, 17に示されるトランジスタのブレイクダウン時の電流経路を示す図である。

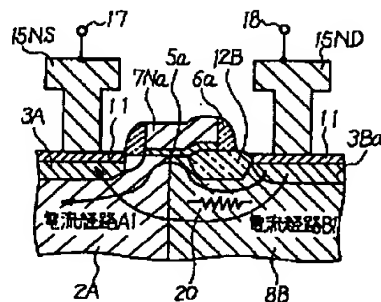
【符号の説明】

- 1 P型シリコン半導体基板
- 2A, 2B Pウェル
- 3A, 3B, 3C N⁺型拡散層
- 4 N⁻型拡散層
- 5 ゲート絶縁膜
- 6, 6a 側壁スペーサ
- 7N, 7Na, 7P, 7Pa ゲート電極
- 8A, 8B Nウェル
- 9A, 9B, 9C P⁺型拡散層
- 10 P⁻型拡散層
- 11 チタンシリサイド層
- 12A フィールド酸化膜
- 12B, 12C 絶縁領域
- 13 層間絶縁膜
- 14NS, 14ND, 14NW, 14PS, 14PD, 14PW, 14GN, 14GP コンタクトホール
- 15NS, 15ND, 15NW, 15PS, 15PD, 15PW 金属電極(第1層目)
- 16 チャンネル長
- 17 GND端子
- 18 出力端子
- 19 VDD端子
- 20 Nウェルの寄生抵抗
- 21 N⁻型拡散層
- 22 P⁻型拡散層
- 23 ホトレジスト膜
- 24 N型不純物
- 25 ホトレジスト膜
- 26 P型不純物
- 27 抵抗素子
- 28 ダイオード素子
- 29 ゲート幅
- 30 金属電極(第2層目)

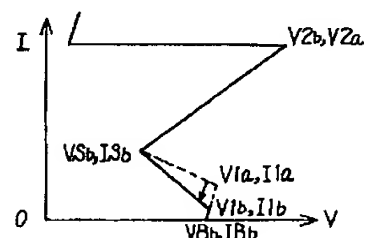
【図3】



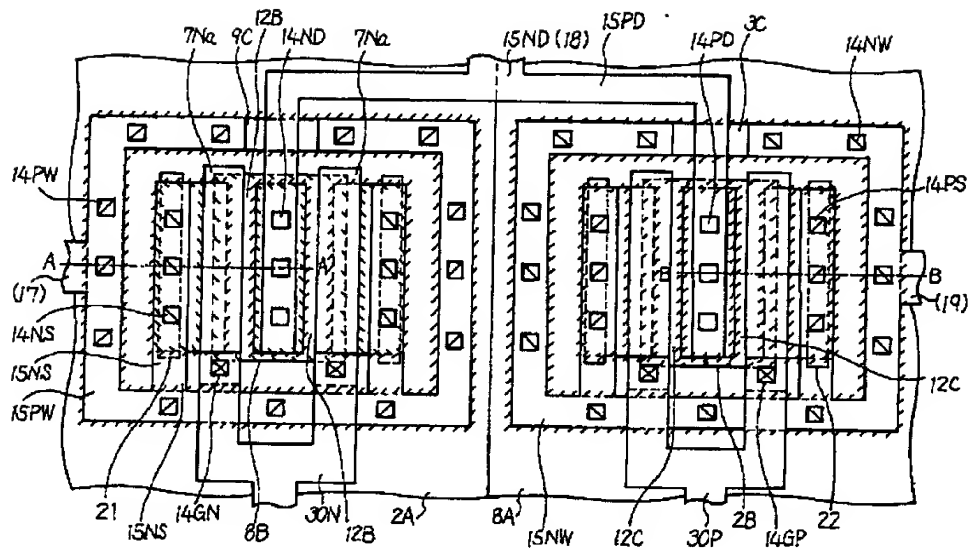
【図4】



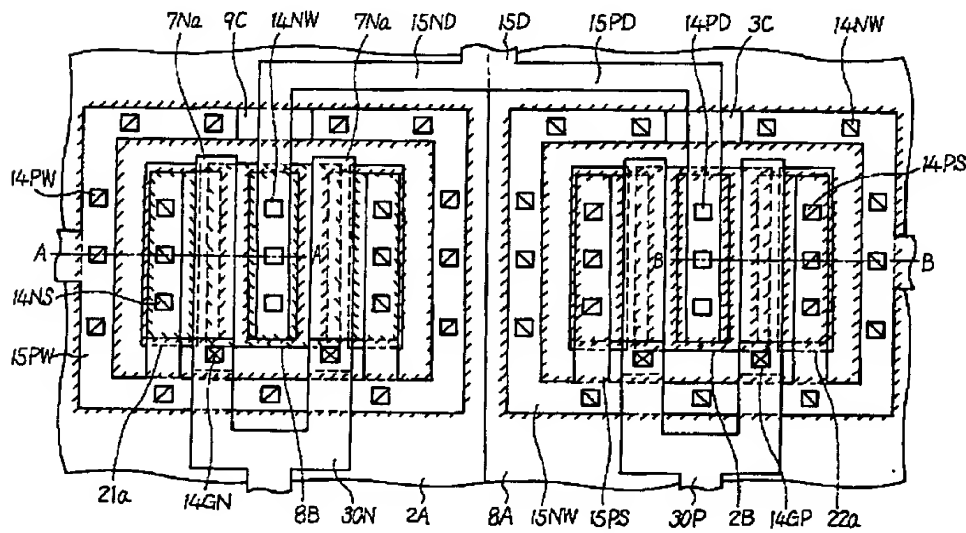
【図7】



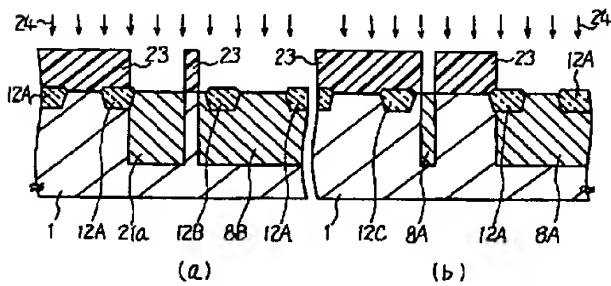
【図5】



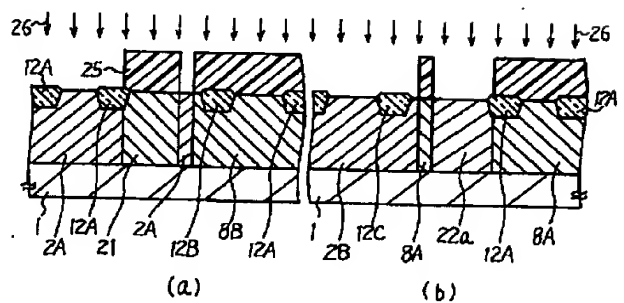
【図9】



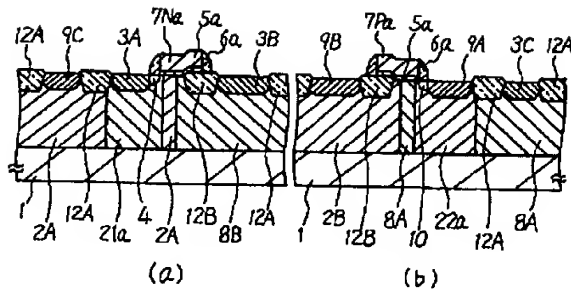
【図11】



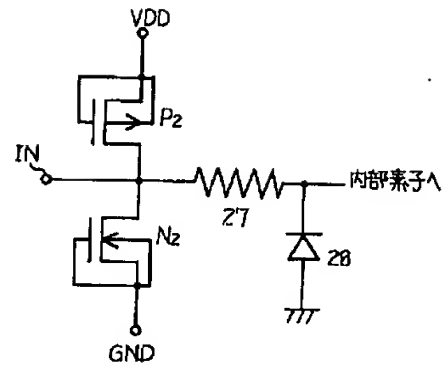
【図12】



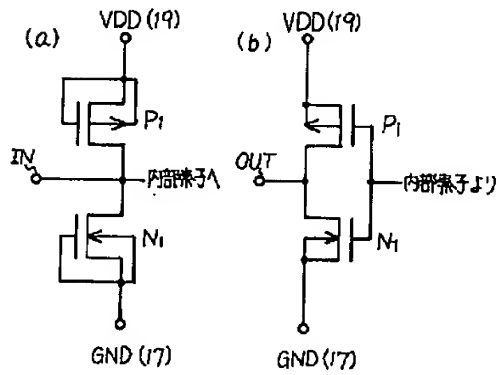
【図13】



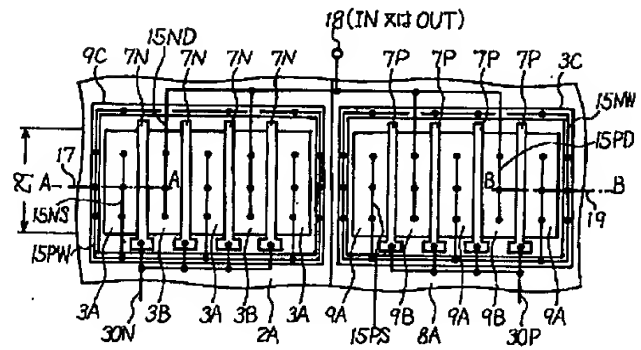
【図14】



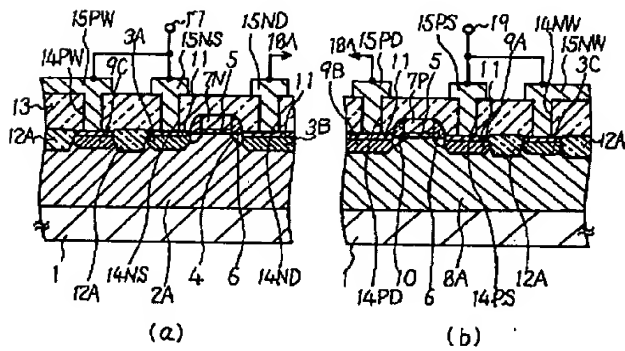
【図15】



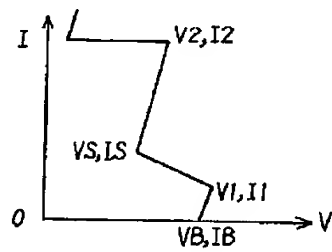
【図16】



【図17】



【図18】



【図19】

